

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010098699 (43) Publication.Date. 20011108

(21) Application No.1020010020765 (22) Application Date. 20010418

(51) IPC Code:

H01L 21/60

(71) Applicant:

ADVANCED INTERCONNECT TECHNOLOGY LTD.

(72) Inventor:

CHEUNG EDWIN WAI MING

KARIM ZAHEED SADRUDIN

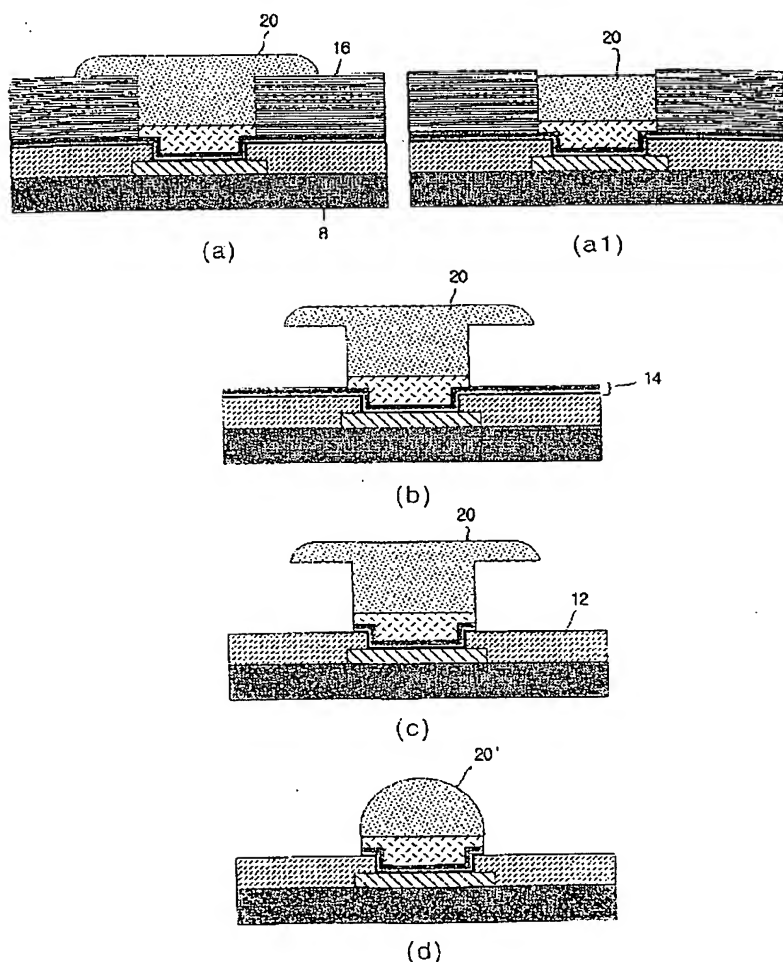
(30) Priority:

2000 552560 20000419 US

(54) Title of Invention

METHOD FOR FABRICATING BUMP INTERCONNECTION WITHOUT LEAD

Representative drawing



(57) Abstract:

PURPOSE: A method for fabricating a bump interconnection without lead is provided to replace a solder bump having lead by a solder bump without lead while maintaining almost the same characteristic as a conventional solder bump.

CONSTITUTION: A chip or wafer having a plurality of metal bonding pads for an electrical connection is prepared. The solder bump including tin alloy selected from pure tin, tin-copper, tin-silver, tin-bismuth and tin-silver-copper is applied by an electroplating method. The solder bump is heated to a temperature higher than a bump melting point so that the solder bump is melted and reflowed.

© KIPO 2002

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. ⁶ (11) 공개번호 특2001-0098699
H01L 21 /60 (43) 공개일자 2001년11월08일

(21) 출원번호 10-2001-0020765

(22) 출원일자 2001년04월 18일

(30) 우선권주장 09/552,560 2000년04월 19일 미국(US)

(71) 출원인 어드밴스트 인터커넥트 테크놀로지 리미티드

(72) 발명자 홍콩 쑤엔 완 왕 인 스트리트 9 선레이 센터 1901
첵에드윈와이밍

홍콩쑤엔완왕인스트리트9선레이센터1901

카림자히드사드루딘

(74) 대리인 홍콩뉴테리토리즈사이쿵척용로드넘버10
특허법인코리아나

심사청구 : 없음

(54) 남 없는 범프 배선의 형성 방법

요약

플립칩 응용분야용 칩 또는 웨이퍼상의 솔더 범프의 형성 방법은 칩 또는 웨이퍼에 전기적 접속을 제공하는 복수의 금속 접착패드를 갖는 칩 또는 웨이퍼를 제공하는 단계, 순주석 또는 주석-구리, 주석-은, 주석-비스무트 또는 주석-은-구리중에서 선택된 주석 합금을 전기도금법으로 도포하는 단계, 및 범프 용융점 위의 온도로 가열함으로써 솔더 범프를 용융시켜 리플로우를 형성하는 단계를 포함한다.

대표도

도3

명세서

도면의 간단한 설명

본 발명의 실시예들을 다음과 같은 도면을 참조하여 예로서만 설명한다.

도 1 은 패키지내의 플립칩의 단면도,

도 2 는 솔더 범프의 증착의 제 1 의 4 개의 단계를 설명하는 도,

도 3 은 도 2 의 단계 후의 증착 단계를 나타내는 도,

도 4 는 본 발명에 따라 형성된 주석-구리 범프의 주사 전자 현미경 사진을 나타내는 도,

도 5 는 본 발명에 따라 형성된 주석-비스무트 범프의 주사 전자 현미경 사진을 나타내는 도,

도 6 는 순주석 범프의 주사 전자 현미경 사진을 나타내는 도,

도 7 는 본 발명에 따른 주석-은 범프의 주사 전자 현미경 사진을 나타내는 도, 및

도 8 는 본 발명에 따른 주석-은-구리 범프의 주사 전자 현미경 사진을 나타내는 도이다.

※ 도면의 주요 부분에 대한 부호의 설명

2 : 집적 회로 4 : 기판

6 : 금속화 콘택트 7 : 추가 솔더 볼

8 : 웨이퍼 9 : 인쇄 회로 기판

10 : 접착 패드 12 : 유리 패시베이션층

14 : 금속층 18 : 하부 범프 금속

20 : 범프

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플립칩 접착 응용분야에 대해 반도체 웨이퍼상에 납 없는 솔더 범프 접속을 형성하는 방법에 관한 것이다.

플립칩 배선 기술로써, '범프' 라고 부르는 상승형 도전성 콘택트는 종래의 유선 접착 또는 납을 사용하지 않고 후속으로 결합된 페이스 다운 (또는 '플립칩' 접착) 인 집적 회로 (IC) 의 입력/출력 접속 패드상으로 우선 형성된다. 금, 납-주석 솔더, 니켈, 구리 및 도전성 폴리머를 포함하여 다양한 범프 배선 매개체가 제안되었다. 납-주석 범프는 더욱 강력하고 제조가능한 부착 공정을 가능하게 하는 솔더의 셀프 얼라인먼트 및 셀프 플래너라이징 특성 (리플로우시) 때문에 특히 효과적이다. 전기적 콘택트를 제공하는 외에도, 솔더 범프는 칩과 기판 사이에 기계적이고 열적인 접속을 형성한다. 납-주석 솔더 범프의 사용은 1960 년대에 IBM 에 의해 범프의 제조시 증착법을 사용하여 C4 (controlled-collapse-chip-connection) 에서 처음 도입되었다.

다른 배선 기술과 비교하여 플립칩 기술의 주요한 이점은 다음과 같다.

i) 특정의 응용분야에 대해 칩의 표면상의 어느 지점에서 또한 편리한 지점에서 소형의 범프 콘택트를 실제로 설치할 수

있기 때문에 플립칩에 형성할 수 있는 총 접속의 수를 현저하게 증가시킬 수 있는 능력 (유선 접착 및 테이프 자동화 접착 (TAB) 과 같은 '주변만의' 접착법과는 다름).

ii) 다이 크기를 수축시키고 IC 제조 수율 및 신뢰성 모두에 좋은 영향을 미치는 주변의 패드로 유도하는 긴 금속화 라인에 대한 필요를 제거하는 포텐셜.

iii) 금속 배선 속도 및 저전력 소비를 유발하는 더욱 낮은 전기적 저항 및 인덕턴스값.

iv) 플립칩 접착 후 IC 의 솔더 범프 및 노출된 배면을 통해 전도에 기인한 더 좋은 열 손실 성능.

v) 전체 핀당 패키징 비용이 저가인 더 작고, 밝고, 간단한 패키지의 제공.

솔더 범프 재료의 정확한 조성의 선택은 다양한 요소, 특히 용융점에 의해 통상 영향받는다. 솔더 용융점에 주의를 요하며, 특히 상대적으로 낮은 T_g (유리 전이 온도) 로 저비용 유기 재료로 주로 형성되는 기판에 플립칩을 접착하는 점에 주의를 요한다. IC 를 플립칩 접착을 할 때, 솔더의 용융점보다 통상 $20 \sim 30^\circ\text{C}$ 높은 온도로 가열한다. 솔더 범프의 용융점을 너무 높이는 것은 기판의 손상을 유발할 수 있다.

플립칩 접착 응용분야에 주로 사용되는 2 개의 통상의 범프 재료는 순금 및 납-주석 기초 합금으로 이루어진다. 전자는 액정 표시 장치 (LCD) 상에 또는 TAB 패키지내에 실리콘 IC 를 플립칩하는데 주로 사용된다. 납-주석 솔더 범프는 플립칩 온 보드 또는 플립칩 인 패키지에 주로 사용된다. 솔더 범프는 저가 및 더욱더 제조가능하고 강력한 플립칩 접착 공정을 제공하는 셀프 플레너라이징 및 셀프 얼라이닝 리플로우 특성 때문에 금 범프에 대해 통상 바람직하다.

솔더 범프로써 채택되는 납-주석 합금은 특히 95중량% Pb /5중량% Sn , 97중량% Pb /3중량% Sn 및 공용 37중량% Pb /63중량% Sn 을 포함한다. In, Ag 및 Bi 가 부가된 납 기초 솔더가 또한 제안되었다.

환경에 대한 인식이 증가함에 따라, 통상 매립지에서 폐기되는 전자 제품으로부터의 납이 결국 식수 시스템으로 도달되기 때문에 전자 제품에 납 함유 솔더의 사용에 대한 전세계적인 금지가 고려중에 있다. 전자 제품에서의 납의 사용을 제한하는 법률은 EC 에서 발효될 수 있고, 유사한 납 금지 법안이 미국 및 일본에서 계류중에 있다. 전자 부재에 대해 적합한 납 없는 최종품을 확인하는 노력은 배선 회로 기판, 리드프레임 패키지 상에 또한 솔더 패이스트의 선택에 주로 초점이 맞추어져 있다. 플립칩 응용분야에 대한 범프 배선의 제조에 주의를 기울이지 않았다.

납 없는 솔더는 인듐에 기초한 솔더, 및 비스무트, 주석, 안티몬, 아연 및 은으로 이루어진 합금을 포함하여 제안되었다.

발명이 이루고자하는 기술적 과제

요구되는 것은 플립칩 응용분야에 종래 사용된 납-주석 합금을 직접 대체할 수 있는 납 없는 솔더 범프 조성, 및 납 없는 솔더 범프 조성을 채택한 제조 방법이다.

Motorola 에 부여된 미국 특허 번호 제 5410184 호 공보에는 2 ~ 8 중량% 또는 더욱 바람직하게는 3 ~ 5 중량% 구리 및 1.5 중량% 이하의 은을 주요한 성분으로서 납 없는 솔더 합금을 사용하는 것이 제안되었다. 이 솔더는 접착도에 대한 일정 정도의 금속간의 형성을 유지하도록 바람직하게는 3 ~ 5 중량% 의 구리가 존재하는 것이 요구된다. 주석-구리 금속간의 과도한 형성 때문에 이 조성은 접착 균열의 문제를 일으킬 수도 있다.

본 발명의 목적은 상술한 문제점을 해결하는 솔더 범프의 형성 방법을 제공하는데 있다.

발명의 구성 및 작용

본 발명의 제 1 태양에 따르면, 플립칩 응용분야용 칩 또는 웨이퍼상의 솔더 범프의 형성방법은 칩 또는 웨이퍼에 전기적 접속을 제공하는 복수의 금속 접착 패드를 갖는 칩 또는 웨이퍼를 제공하는 단계, 순주석 또는 주석-구리, 주석-은, 주석-비스무트 또는 주석-은-구리중에서 선택된 주석 합금을 포함하는 솔더 범프를 전기도금법에 의해 도포하는 단계, 범프 용융점 위의 온도까지 가열함으로써 솔더 범프를 용융시켜 리플로우를 형성하는 단계를 포함한다.

솔더는 순주석, 2중량% 미만의 구리 또는 더욱 바람직하게는 약 0.7중량%의 구리를 갖는 주석-구리 합금, 20중량% 미만의 은 또는 더욱 바람직하게는 3.5중량%의 은, 또는 10중량%의 은을 갖는 주석-은 합금, 5중량% 내지 25중량% 사이의 비스무트 또는 더욱 바람직하게는 약 20중량%의 비스무트를 갖는 주석-비스무트, 또는 5중량% 미만의 은, 바람직하게는 3.5중량%의 은, 2중량% 미만의 구리, 바람직하게는 0.7중량%의 구리를 갖고 나머지는 주석인 주석-은-구리 합금중의 하나이다.

순주석 또는 주석 합금이 종래의 납-주석 합금을 직접 대체할 수도 있지만, 전기도금법을 사용하여 솔더 범프를 형성하여 특별히 잘 형성된 규칙적인 범프를 제공할 수 있다.

2원합금 주석-구리, 주석-은 및 주석-비스무트의 경우에서, 성분은 단일 도금액으로부터 합금으로서 동시에 공동 증착될 수 있다.

대체적인 기술에서 성분은 각각의 도금액으로부터 순차적으로 증착될 수 있고, 리플로우 공정시 가열하여 요구되는 합금을 형성할 수 있다. 이 순차적인 도금은 특히 3원합금 주석-은-구리에 또한 적용할 수 있다. 이 경우, 합금은 단일 도금액으로부터 주석-구리 합금의 일 또는 다른 것을 증착함으로써, 또는 은을 증착하고, 다른 것을 증착함으로써 3개의 성분 각각을 순차적으로 증착할 수 있다.

칩 또는 웨이퍼는 전기도금전에, 스퍼터링 층 또는 확산 배리어, 산화, 부착, 및 도금 콘택트층(전기적 접속)에 대한 배리어로서 작용하는 금속의 층이 제공될 수도 있다. 25 ~ 200 μm 의 두께를 갖는 포토레지스트(네거티브 또는 포지티브 톤) 또는 건조막과 같은 두꺼운 감광성 폴리머 재료의 층이 도금되는 솔더 범프의 위치 및 체적을 정하는데 사용된다. 두꺼운 포토레지스트 또는 건조막의 영역은 다음 인접한 범프에 모자라지 않도록 하여 충분한 높이 및 체적의 도금 솔더 범프를 확보하고, 칩과 기판의 확장의 열적 계수의 차이를 보상하기 위해서 또한 플립칩 접착 후 칩과 기판 사이에 언더필 재료가 플로우하는데 충분한 갭을 제공하기 위해서 칩과 기판 사이의 필요한 스탠드오프 높이를 유지하는데 중요하다.

솔더 범프의 전기도금을 직류(DC) 또는 펄스형 교류 중의 하나를 사용하여 실행할 수 있다. 전류치 및 전압치는 웨이퍼의 크기 및 전체 노출면 면적에 따라 달라진다. 바람직한 DC 도금 파라미터는 0.05 ~ 0.1 A 사이의 전류로 3 ~ 5 V 사이의 범위이다. 바람직한 펄스형 도금 사이클 전압은 약 1 ms 동안 +5 V, 약 1 ms 미만 동안 0 V 부근, 1 ms 동안 -5 내지 -10 V 사이, 약 1 ms 동안 0 V이다.

랙 또는 파운틴 도금 장비는 웨이퍼상의 솔더의 도금에 사용될 수도 있다.

본 발명의 다른 태양에 따르면 플립칩 응용분야용 칩 또는 웨이퍼상의 솔더범프의 형성 방법은, (a) 패시베이션층 및 복수의 노출된 금속성 접착 패드를 갖는 칩 또는 웨이퍼를 제공하는 단계, (b) 적어도 일층의 솔더 습식 금속층을 금속성 접착 패드에 형성하는 단계, (c) 감광성층을 금속성 접착 패드의 일부에 개구부를 갖는 칩 또는 웨이퍼에 형성하는 단계, (d) 순주석, 또는 주석-구리, 주석-은, 주석-비스무트 또는 주석-은-구리중에서 선택된 주석 합금을 포함하는 솔더를 전기도금법에 의해 도포하는 단계, (e) 감광성층을 제거하는 단계, 및 (f) 솔더 범프를 용융시켜 리플로우를 형성하는 단계를 포함한다.

본 발명은 상술한 방법에 따라 형성되는 칩 또는 웨이퍼에 포함한다.

도면을 참조하면, 도 1은 관련 기술분야에서 '범프'라고 일컫는 솔더의 금속화 콘택트 (6)에 의해 기판에 접착된 '플립칩'인 집적 회로 (2)를 나타낸다. 기판 (4)은 추가 솔더 볼 (7) 또는 리드를 통해 인쇄 회로 기판 (9)에 접착

된 볼 그리드 어레이 (BGA: Ball Grid Array) 또는 칩스케일 패키지 (CSP: Chip-Scale-Package) 인쇄 회로 기판 또는 중간 패키지가 될 수 있다. 패키지는 유기, 세라믹 또는 금속 재료로 형성될 수 있다.

본 발명은 거의 납이 없는 금속 솔더를 사용한다 (통상 10 ppm 정도의 불순물 레벨에서 납이 존재하는 경우는 제외). 순주석, 또는 구리, 은 또는 비스무트 또는 은 및 구리를 모두와 같은 합금 요소의 소량을 포함하는 주석을 포함하는 것이 특히 이점있는 조성이라는 것을 확인되었다. 이러한 합금 요소를 흡수하는 것이 순주석의 용융점을 낮추고, 도금 증착의 위스커의 형성을 방지하고, 주석의 표면 장력을 낮추어 주석의 기계적 특성 (예, 연성)을 향상시키고, β 로부터 순주석의 위상 변화를 방지하여 13°C 이하에서 발생하도록 형성하는 효과가 있다는 것이 확인되었다. 이 위상 변화는 접착 집적도 및 강도를 포함할 뿐만 아니라, 기계적 강도의 감소를 유발하는 체적 변화에 수반된다. 솔더 범프 재료를 다음과 같이 더욱 자세히 설명한다.

도 2 및 도 3은 전기도금법을 사용하여 상술한 조성의 금속 솔더 범프 배선을 형성하는 제조 공정을 나타낸다.

도 2의 (a)는 종래 Al:Si (1~2중량%Si) 또는 Al:Si:Cu (1~2중량%Si 및 1~5중량%Cu), 더욱 최근에는 순구리로 만들어진 적당한 위치 접착 패드에 미리 사용된 반도체 웨이퍼 (8), 및 웨이퍼 위로 연장하지만 적당한 위치에서 제거되어 접착 패드 (10)를 노출시키는 유리 패시베이션층 (12)을 나타낸다. 접착 패드는 칩의 활성 영역에 전기적으로 접속하게 한다.

제 1 단계는 보드 패드상에 자연적으로 형성된 산화층을 제거하기 위해서 진공하에서 수행된 백스퍼터링 공정에 의한 웨이퍼 (8)의 세척 단계를 포함한다. 세척 단계는 단일 또는 연속의 금속층 (14)의 스퍼터 증착 및 도 2의 (b)에 나타낸 바와 같은 통상 2개의 단계가 후속된다. 통상 크롬으로 만들어진 제 1 금속층은 500 ~ 1000 Å의 두께를 갖고, 세척된 접착 패드 및 글래스 패시베이션에 부착을 증가시키고, 금속 패드의 재산화 방지하고, 배리어 확산층을 솔더에 형성하는 것을 포함하는 복수의 기능을 수행한다. T/W, NiV 또는 Ti는 제 1 층에 사용될 수도 있다. 제 2 금속층은 2500 ~ 10000 Å 두께의 구리로 형성되어 범프 금속에 대한 시드층을 형성하고 콘택트 도금 (전기적 버스) 층을 제공한다. 니켈은 제 2 층의 구리 대신에 사용될 수도 있다.

다음 단계는 도 2의 (c)에 나타낸 바와 같이, 웨이퍼의 표면에 스프링하고 베이킹하여 층을 견고하게 함으로써, 또는 건조막을 적층함으로써 증착되는 액체 포토레지스트 또는 건조막과 같은 자외선에 민감한 포토이미저블 유기막 (16)의 두꺼운 (바람직하게는 50 ~ 200 μm) 층으로 웨이퍼를 패터닝하는 단계로 이루어진다. 액체 레지스트를 이러한 두께로 만들기 위해서, 2 단계 용융 및 베이킹이 요구될 수도 있다. 금속층에 선택적으로 에칭된 개구부를 갖는 금속 코팅된 유리 포토마스크를 통해 노출시킴으로써 감광층을 패터닝함으로써 범프되는 영역을 정한다. 이러한 개구부는 자외선을 통과하도록 하고 감광층을 노출시키도록 한다. 감광층의 두께 및 개구부의 크기는 부분적으로는 최종 체적 및 솔더 범프의 형태를 결정한다. 두께는 충분한 범프 높이를 확보하는데 중요하고 범프가 리플로우되고 플립칩이 접착된 후 기판으로부터 충분한 칩 스탠드오프를 확보하는 것이 중요하다. 포지티브 또는 네거티브 톤 감광성 폴리머는 이러한 공정에 사용될 수도 있다. 감광층을 현상한 후, 도금되지 않는 영역에 보호층을 제공하고, 전기적 콘택트점이 하부 스퍼터링 구리층으로 웨이퍼의 에지에서 개방되고 웨이퍼는 구리 (또는 니켈)로 도금되어 하부 범프 금속 (UBM: under-bump-metal)을 형성한다. 통상 3 ~ 7 μm 두께인 층은 솔더 범프로 '습식' 기초로서 작용한다.

웨이퍼는 적당한 형태의 도금액을 선택함으로써 솔더 (도 3의 (a))로 전기도금되고, 도금 처리조내의 애노드, 순주석의 납 없는 증착, 또는 주석-구리, 주석-은, 또는 주석-비스무트 범프 (20)를 포함하는 합금이 원하는 스토이키오메트리의 각각의 성분의 동시적인 공동 증착으로 단일 도금액으로부터 형성될 수 있다. 예를 들어 Shipley Ronal의 도금액과 같은 다양한 제공자로부터의 도금액이 채택될 수 있다. 순주석 전기도금을 하려는 Shipley Ronal의 'Tinglo Culmo' 제품은 특히 적당하지만, 주석-비스무트에 대해서는 '슬더론 81' 제품은 적당하지 않다. 음전압이 웨이퍼가 통상 인가되어 캐소드로 효과적으로 만든다. 원하는 합금의 각각에 대해서 순주석 애노드 또는 주석-구리 애노드가 용해 가능한 애노드법이 경우에 사용되거나, 또는 주석-비스무트 증착에 대해서는 용해불가능한 백금도금된 티타늄 애노드가 바람직하다. 주석-구리, 주석-비스무트 및 주석-은 도금 증착이 단일 도금액으로부터 원하는 스토이키오메트릭량의 각각의 성분의 동시적인 공동 증착으로 형성되거나 또는 순수 성분 (원하는 양만큼)의 순차적인 도금으로 원하는 조성으로 합금을 얻을 수 있다. 3 ~ 5 A.S.D (amps per square decimetre)의 인가 전류 밀도가 적당하다고 확인되었다.

직류 (DC) 또는 펄스 도금법이 랙 또는 파운틴 (컵) 도금 장치와 결합하여 사용될 수 있다. D.C 도금에 대해 0.05 내지 0.1A 사이의 전류 및 3 ~ 5 V 가 바람직하다. 펄스형 교류에 대해, 약 1 ms 동안 +5 V, 약 1 ms 미만 동안 0 V 부근, 약 1 ms 동안 -5 내지 -10 V 사이, 약 1 ms 동안 0 V 인 펄스가 범프 균일성 및 증착의 조성 면에서 이점이 있다는 것이 확인되었다.

단일 도금액으로부터 각각의 성분을 동시에 증착하는 대신에, 각각의 도금액으로부터 순차적으로 도금함으로써 또한 도금 시간을 제어하여 각각의 성분의 상대적인 양을 제어함으로써 순수 성분을 증착할 수 있다. 이는 순수 성분의 적층 구조를 유발하지만, 도금 증착이 리플로우될 때 결과적인 범프는 원하는 스토이키오메트릭 합금이다. 이 순차적인 도금 기술은 논의한 2원합금종의 어떤 것에도 적용될 수 있다. 어떤 성분을 먼저 도금하는지 나중에 도금하는지는 중요하지 않다.

주석-은-구리의 경우, 결과적인 합금조성을 정확히 제어하는데 어려움이 있기 때문에 단일 도금액으로부터 3원합금의 도금으로서, 이 순차적인 도금 기술이 특히 유용하다는 것이 확인되었다. 우선 2원 도금액으로부터 주석-구리를 동시에 공동 증착함으로써, 주석-구리 증착은 은과는 별개로 바람직하게 형성되고, 또한 순은을 도금한다. 도금 증착의 리플로우시 원하는 3원합금이 형성된다. 대안으로서, 은은 우선 증착되고, 주석-구리가 나중에 증착될 수도 있다. 다른 대안으로서, 3 개의 성분을 순차적으로 증착할 수도 있다. 이 대안적인 증착은, 상대적으로 큰 범프의 증착에 대해 실행할 수 있지만, 구리의 비율이 작다는 사실 (2% 미만, 바람직하게는 약 0.7%) 때문에 소형 범프로는 어려움이 있고 증착된 구리의 양의 정확한 제어가 더욱 어려워진다.

도금 공정이 슬더가 패터닝된 광광층의 상부에 도달하기 전에 중단되면, 범프는 필러형 (도 3 의 (a1)) 을 형성한다. 도금 공정이 포토레지스트의 높이 위로 계속되면, '버섯' 형을 형성한다 (도 3 의 (a)). 광광층을 원하는 높이까지 패터닝할 수 없는 경우 슬더의 체적을 증가시키기 위해 필요하다면 버섯형화가 사용될 수 있다.

범프 제조 공정을 종료하는 단계는 도 3 의 (b) 에 나타난 보호광광층의 제거, 및 도 3 의 (c) 에 나타난 화학 수단을 사용하여 스퍼터링 구리 및 크롬층을 백에칭하는 단계를 포함한다.

플럭스가 도금 범프에 가해지고, 그 도금 범프는 오븐내에서 리플로우되어 구형 슬더형 (20') 를 형성한다. 대안으로서, 감소되는 질소 및 수소 분위기의 조합을 사용할 때는 플럭스 없이도 범프의 리플로우를 얻을 수 있다.

소정의 선택된 범프 슬더 재료는 다음과 같다.

a) 순주석

납-주석 범프에 대한 납 없는 대체물로서 제조하기에 가장 간단하고, 최저가이고, 가장 손쉽기 때문에 선택되지만, 납-주석 슬더와 상당히 유사한 물리적, 전기적 및 열적 특성을 갖는다. 낮은 독성 및 양호한 슬더성을 갖는다.

주석 위스커 (수명 단축 및 장치 고장을 일으킬 수 있음) 의 형성 시간 과도의 체계화된 효과 때문에 마이크로전자 패키지에서 순주석을 사용하는 것에 대한 강한 편견이 있다는 사실에도 불구하고, 플립칩 응용분야용 슬더 범프로 사용하는 것은 위스커 형성의 문제를 발생하지 않는다. 위스커 형성은 스트레스 시간 중속 효과이고 리플로우 공정이 이 스트레스를 완화시킨다.

b) 주석-구리

구리의 백분율은 2중량% 미만이고 바람직하게는 공융점을 나타내는 약 0.7중량% 의 영역에서 227°C 의 용융점을 나타낸다. 약 2% 보다 훨씬 높은 구리의 농도는 증가된 용융점 (제조상의 문제점을 증가시킴) 을 갖기 때문에 구리는 깨지기 쉬운 주석을 갖는 금속간 화합물을 형성함으로써 기계적으로 불안정하다. 227°C 의 용융점을 갖고 99.3중량%/0.7중량%Cu 의 조성을 갖는 주석-구리 합금 시스템은 300°C 초과 의 용융점을 갖는 높은 비율의 납 (95중량%/5중량%Sn 또는 97중량%Pb/3중량%Sn) 합금에 대한 납 없는 대체물로서 고려될 수 있다. 기판이 약 260°C 의 리플로우 온도를 견딜 수 있다면 주석-구리 합금 시스템은 또한 공용 납-주석 범프에 대한 대체물로서 고려될 수 있다.

c) 주석-은

대부분의 응용분야에서 은의 백분율은 5중량% 미만이고 바람직하게는 합금 시스템의 공용점인 3.5중량%이다. 범프가 스트레스 및 다중 열적 순환을 거칠 수도 있는 경우 바람직할 수도 있는 순주석의 연성을 상당히 증가시키도록 나타나기 때문에 은의 소량 첨가는 바람직할 수도 있다. 3.5중량% 보다 높은 은의 농도는 은의 고비용 때문에 통상 바람직하지 못하다. 또한, Sn-Ag 시스템의 용융점은 증가하는 은 함유와 함께 급속도로 증가한다. 예를 들어, 3.5중량% 은의 공용점에서 용융점은 221℃이다. 10중량% 은에서 용융점은 최저비용 유기 기판 또는 패키징 재료에 대해 너무 높은 300℃ 이다. 그런데, 납 없는 솔더 범프가 바람직한 높은 용융점 (300℃ 초과) 의 경우, 세라믹 기판상으로 플립 칩 접착에 대하여, 20% 미만의 은 조성 및 더욱 바람직하게는 약 10% 가 바람직하다. 20% 은에서는 용융점은 일정 고 은 응용에서 잠재적으로 유용한 375℃ 이지만, 10% 은에서는 용융점은 95중량%P/5중량%Sn 및 97중량%Pt/3중량%Sn 합금 용융점에 견줄 수 있는 약 300℃ 이다. 따라서, 공용 (96.5중량%Sn/3.5중량%Ag) 및 높은 비율의 은(90중량%Sn/10중량%Ag) 함유 합금이 공용 (37중량%Pt/63중량%Sn) 및 높은 비율의 납 (95중량%Pt/5중량%Sn 또는 97중량%Pt/3중량%Sn) 합금의 납 없는 대체물로서 각각 고려될 수 있다.

d) 주석-비스무트

비스무트의 백분율이 10 ~ 25 중량% 의 범위에 있도록 선택된다. 주석-비스무트 시스템은 조성의 넓은 범위에 대해 허용가능한 용융점, 즉, 10% Bi 에서 225℃ 및 60% 에서 138.5℃ (공용점을 나타냄) 을 나타낸다. 약 20중량% 비스무트에서, Sn-Bi 합금의 용융점은 공용 납-주석의 용융점인 183℃ 와 유사한 185℃ 임으로써 특정의 Sn-Bi 합금이 공용 납-주석 솔더에 대한 '드롭인' 대체물로서 사용될 수 있다.

e) 주석-은-구리

주석-은-구리 합금은 5중량% 미만의 은, 바람직하게는 약 3.5중량%Ag, 및 2중량% 미만의 구리, 바람직하게는 약 0.7중량%Cu 의 조성을 갖고, 나머지는 주석이다. 이 합금은 공용 납-주석 솔더에 대한 대체물로서 적당하게 하는 216℃ 내지 217℃ 사이의 용융점을 갖는다.

전기도금에 의해 채택된 상술한 성분 주석 및 주석 합금 성분은 납 없는 솔더 범프를 만듦과 동시에 종래의 납-주석 솔더 범프의 특성과 견줄 수 있는 특성을 갖는다는 것이 확인되었다.

도 4 의 (a) 는 공용 주석-구리 범프 도금의 주사 전자 현미경 사진이고, 도 4 의 (b) 는 매우 규칙적으로 잘 형성된 솔더 범프를 나타낸다.

도 5 는 90중량%Sn:10중량%Bi 에 대한 주석-비스무트 솔더 범프의 주사 전자 현미경 사진, 및 기판에 접착하기 위해 적당한 높이의 규칙적으로 잘 형성된 솔더 범프를 나타낸다.

도 6 는 순주석 솔더 범프 도금 및 리플로우 후의 주사 전자 현미경 사진이다.

도 7 는 규칙적으로 형성된 솔더 범프를 나타내는 96.5중량%Sn:3.5중량%Ag 에 대한 주석-은 솔더 범프의 도금 및 리플로우 후의 주사 전자 현미경 사진이다.

도 8 는 주석-구리 다음으로 주석-은의 순차적인 도금의 방법을 사용하여 제조된 95.7중량%Sn:3.5중량%Ag:0.8중량%Cu 에 대한 주석-은-구리 솔더 범프 도금 및 리플로우 후의 주사 전자 현미경 사진이다.

발명의 효과

본 발명에 따른 납 없는 솔더 범프는 납이 함유된 솔더 범프를 대체할 수 있으며 종래의 솔더 범프와 거의 동일한 특성을 나타낸다.

(57) 청구의 범위

청구항 1. 플립칩 응용분야용 칩 또는 웨이퍼상에의 솔더 범프의 형성 방법으로서,

칩 또는 웨이퍼에 전기적 접속을 제공하는 복수의 금속 접착 패드를 갖는 상기 칩 또는 웨이퍼를 제공하는 단계, 순주석 또는 주석-구리, 주석-은, 주석-비스무트, 또는 주석-은-구리중에서 선택된 주석 합금을 포함하는 솔더 범프를 전기도금 법으로 도포하는 단계, 및 범프 용융점 이상의 온도로 가열함으로써 솔더 범프를 용융시켜 리플로우를 형성하는 단계를 포함하는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 2. 제 1 항에 있어서, 상기 솔더는 2중량% 미만의 구리를 갖고 나머지는 주석을 갖는 주석-구리 합금인 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 3. 제 2 항에 있어서, 상기 솔더는 약 0.7중량%의 구리를 갖고 나머지는 주석을 갖는 주석-구리합금인 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 4. 제 1 항에 있어서, 상기 솔더는 20중량% 미만의 은을 갖고 나머지는 주석을 갖는 주석-은 합금인 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 5. 제 4 항에 있어서, 상기 주석-은 합금은 약 3.5중량%의 은을 갖고 나머지는 주석을 갖는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 6. 제 4 항에 있어서, 상기 주석-은 합금은 약 10중량%의 은을 갖고 나머지는 주석을 갖는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 7. 제 1 항에 있어서, 상기 솔더는 5 내지 25중량% 사이의 비스무트를 갖고 나머지는 주석을 갖는 주석-비스무트인 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 8. 제 7 항에 있어서, 상기 주석-비스무트 합금은 20중량%의 비스무트를 갖고 나머지는 주석을 갖는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 9. 제 1 항에 있어서, 상기 솔더는 5중량% 미만의 은을 갖고 2중량% 미만의 구리를 갖고 나머지는 주석을 갖는 주석-은-구리 합금인 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 10. 제 9 항에 있어서, 상기 주석-은-구리 합금은 3.5중량%의 은을 갖는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 11. 제 9 항에 있어서, 상기 주석-은-구리 합금은 0.7중량%의 구리를 갖는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 12. 제 1 항에 있어서, 단일 도금액으로부터의 합금으로서 상기 주석-구리, 주석-은 또는 주석-비스무트 합금의 성분들을 동시에 공동증착하는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 13. 제 1 항에 있어서, 상기 주석-구리, 주석-은, 주석-비스무트 또는 주석-은-구리 합금을 순차적으로 순수 성분을 도금함으로써 증착하고, 가열하여 요구되는 합금을 형성하는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 14. 제 1 항에 있어서, 단일 도금액으로부터 주석-구리 합금층의 하나 또는 다른 금속을 증착함으로써, 또는 은을 증착하고 나머지를 증착함으로써 상기 주석-은-구리 합금을 증착하고, 가열하여 3원합금을 형성하는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 15. 제 1 항에 있어서, 상기 칩 또는 웨이퍼는 상기 솔더 범프의 위치를 정하도록 패터닝된 두꺼운 감광성 재료의 층을 제공하고, 상기 감광성 재료는 25 내지 200 μm 사이의 두께인 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 16. 제 1 항에 있어서, 상기 전기도금을 직류를 사용하여 실행하는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 17. 제 1 항에 있어서, 상기 전기도금을 펄스형 교류를 사용하여 실행하는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 18. 제 17 항에 있어서, 각각의 펄스는 약 1 ms 동안 약 +5 V, 약 1 ms 동안 0 V, 약 1 ms 동안 약 -5V, 및 약 1 ms 동안 약 0 V 를 포함하는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 19. 플립칩 응용분야용 칩 또는 웨이퍼상의 솔더 범프의 형성 방법으로서,

(a) 패시베이션층 및 복수의 노출된 금속성 접착 패드를 갖는 칩 또는 웨이퍼를 제공하는 단계;

(b) 적어도 일층의 솔더 습식 금속층을 상기 금속성 접착 패드에 형성하는 단계;

(c) 감광성층을 상기 금속성 접착 패드의 일부에 개구부를 갖는 상기 칩 또는 웨이퍼에 형성하는 단계;

(d) 순주석, 또는 주석-구리, 주석-은, 주석-비스무트 또는 주석-은-구리중에서 선택된 주석 합금을 포함하는 솔더를 전기도금법에 의해 도포하는 단계;

(e) 상기 감광성층을 제거하는 단계; 및

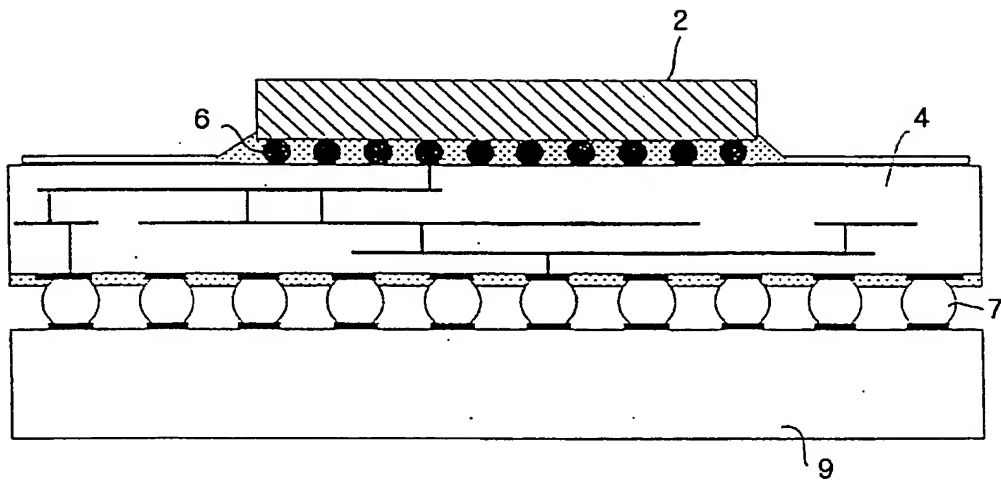
(f) 상기 솔더 범프를 용융시켜 리플로우를 형성하는 단계를 포함하는 것을 특징으로 하는 솔더 범프의 형성 방법.

청구항 20. 제 1 항의 방법으로 형성된 상기 솔더 범프를 갖는 것을 특징으로 하는 칩 또는 웨이퍼.

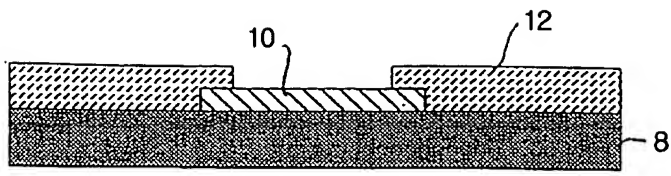
청구항 21. 제 19 항의 방법으로 형성된 상기 솔더 범프를 갖는 것을 특징으로 하는 칩 또는 웨이퍼.

도면

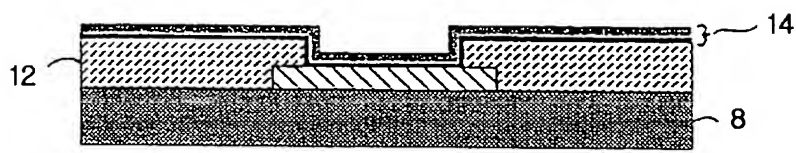
도면1



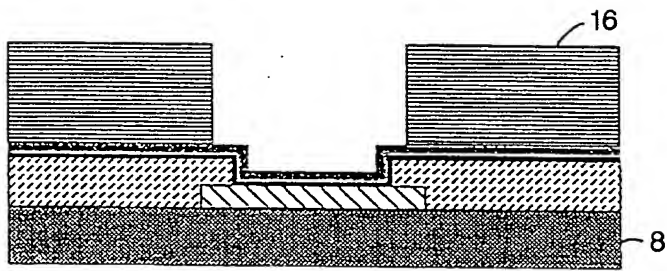
도면2



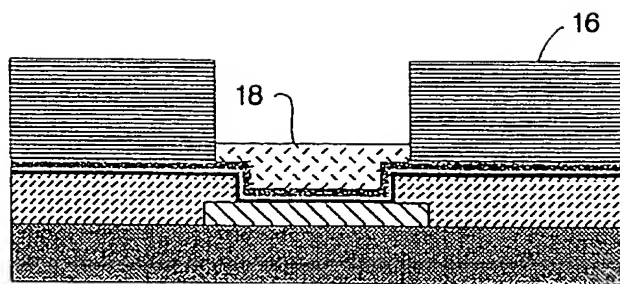
(a)



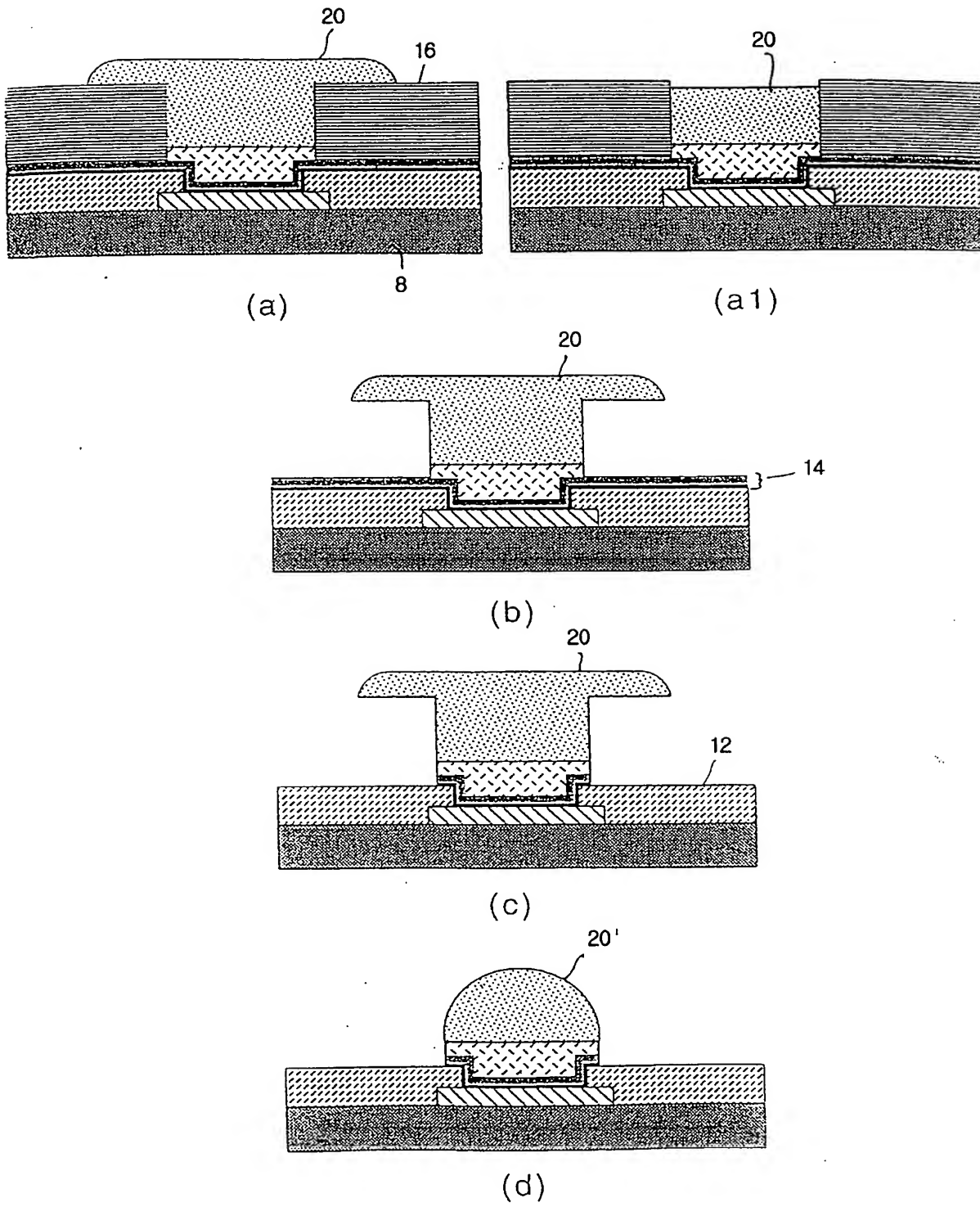
(b)



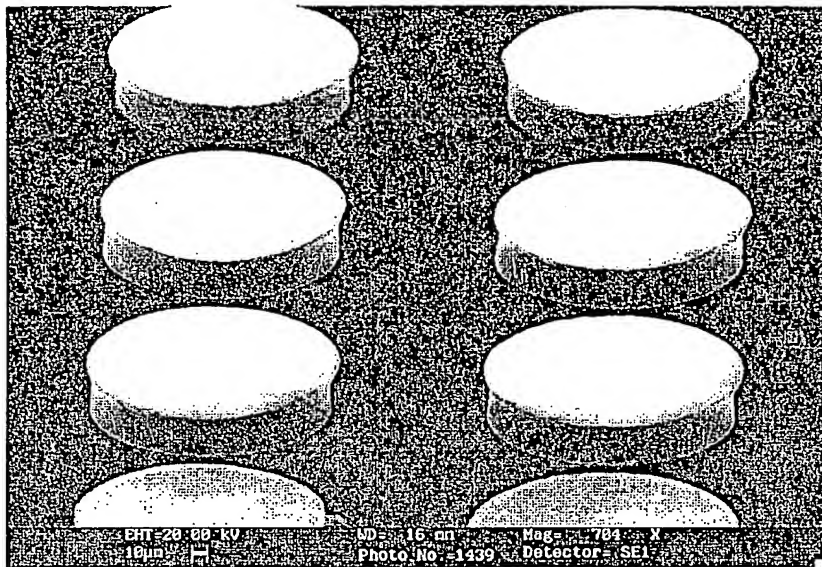
(c)



(d)

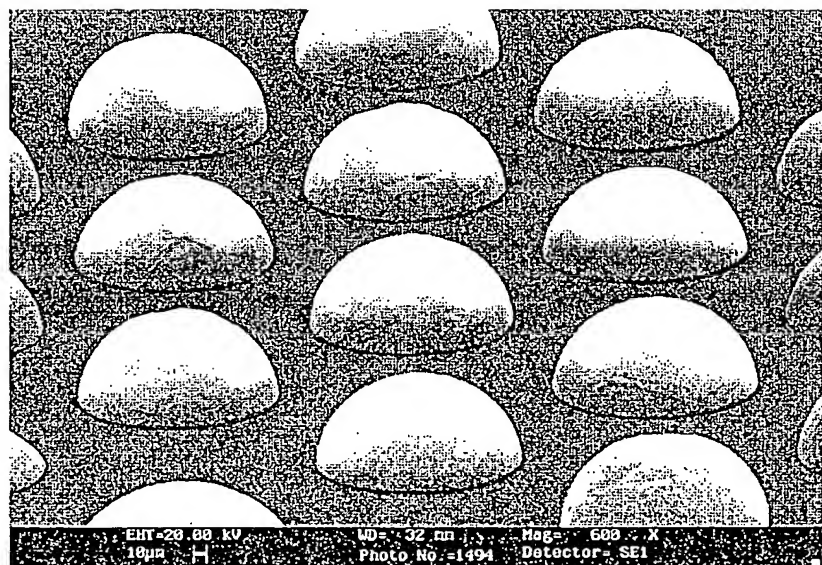


납 없는 Sn:Cu (99.3:0.7) 범프 도금



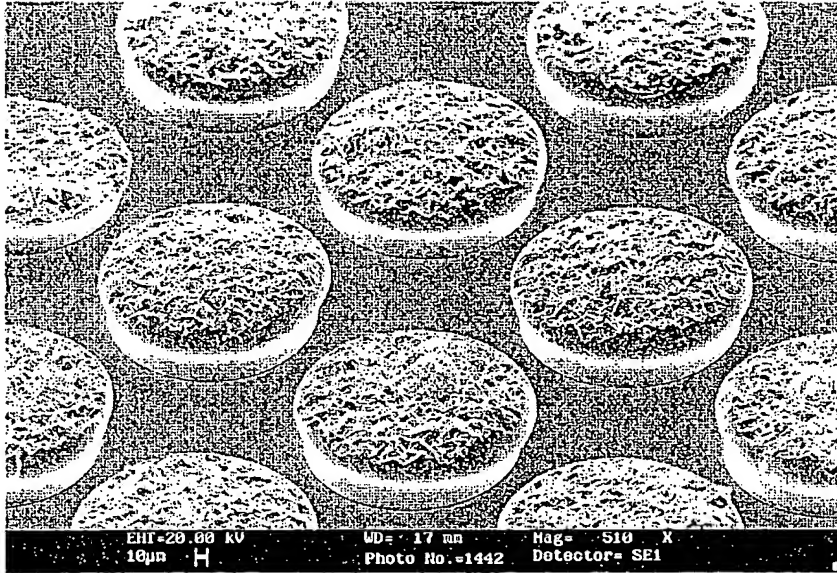
(a)

리플로우 후



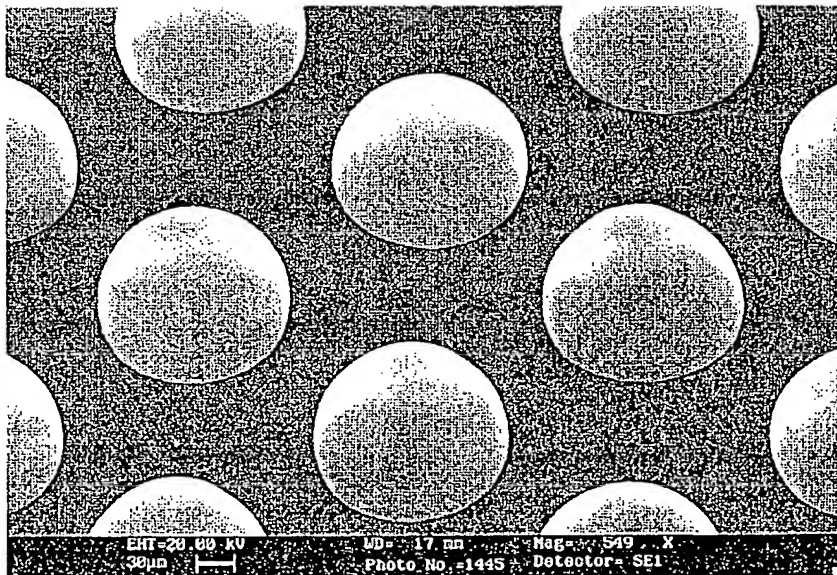
(b)

납 없는 Sn:Bi (90:10) 범프 도금



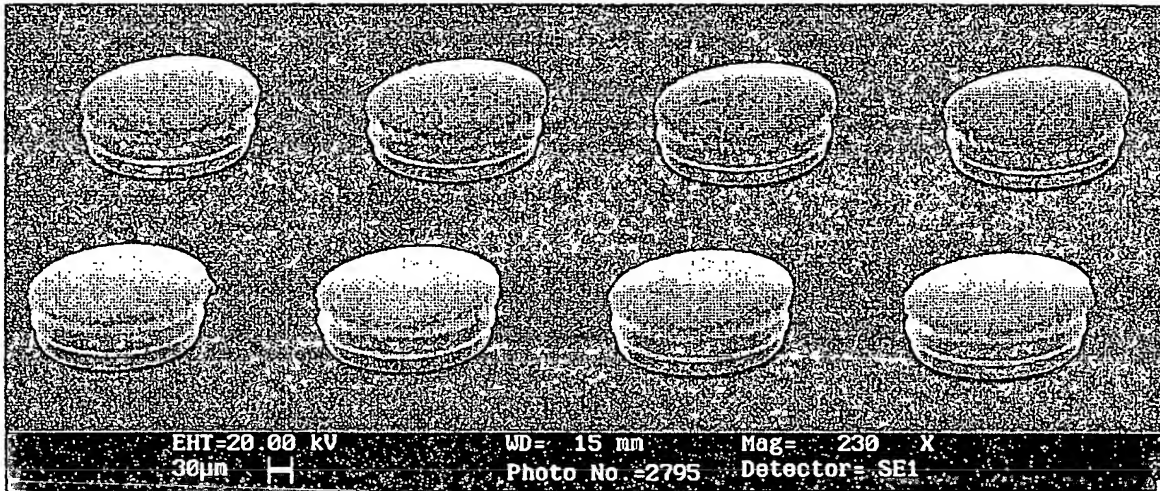
(a)

리플로우 후



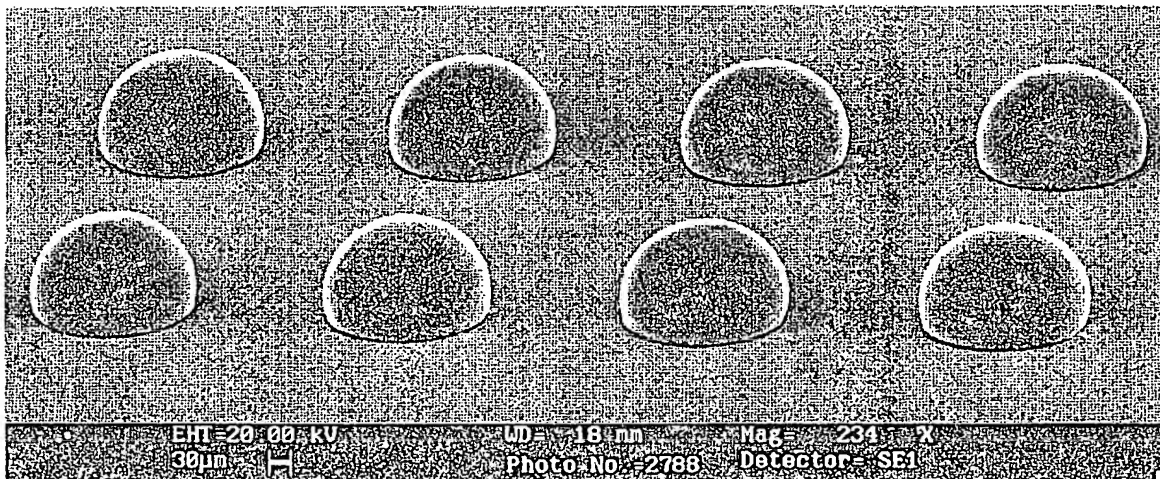
(b)

납 없는 순주석 범프 도금



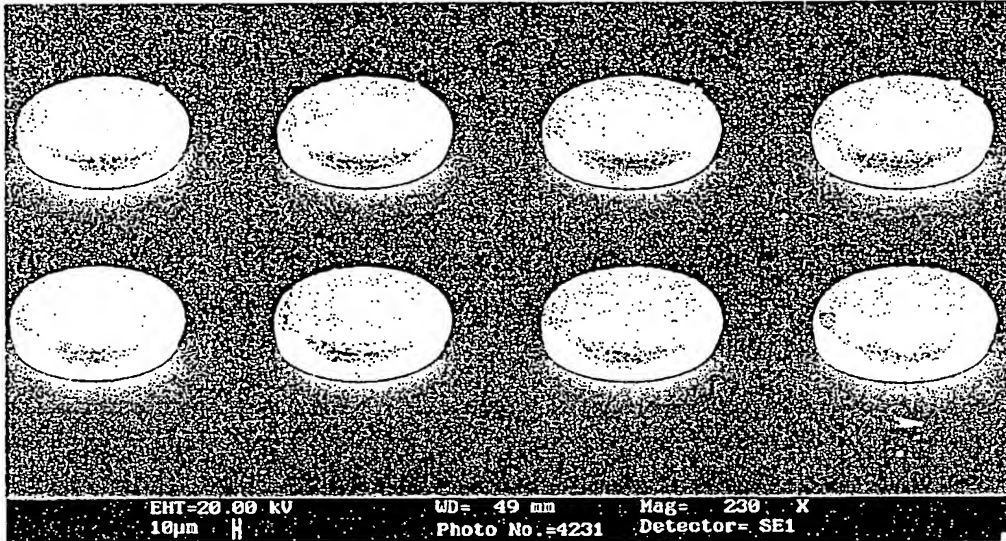
(a)

리플로우 후



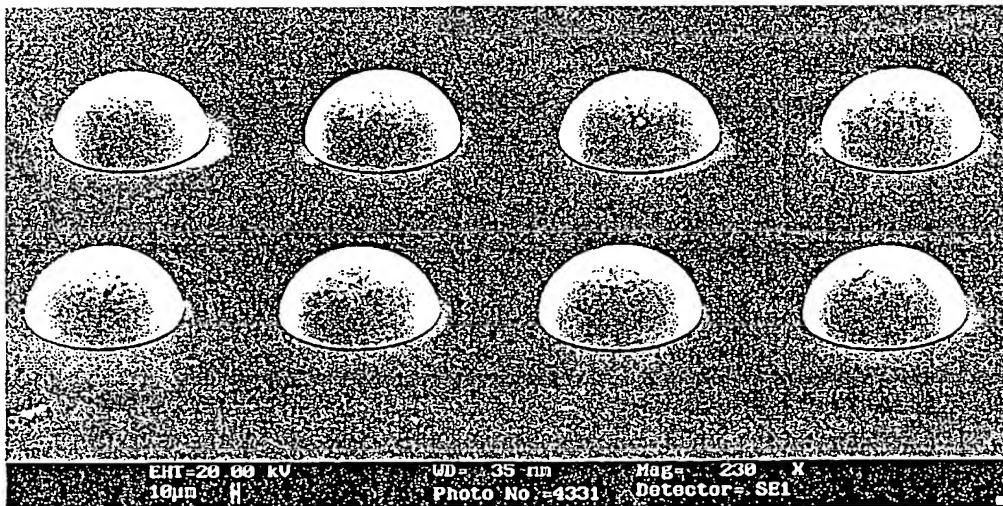
(b)

납 없는 Sn:Ag (96.5:3.5) 범프 도금



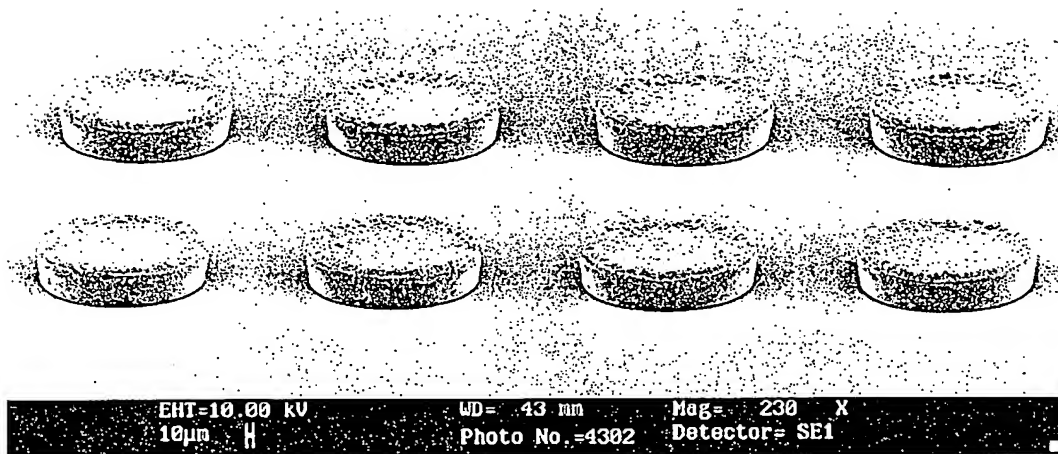
(a)

리플로우 후



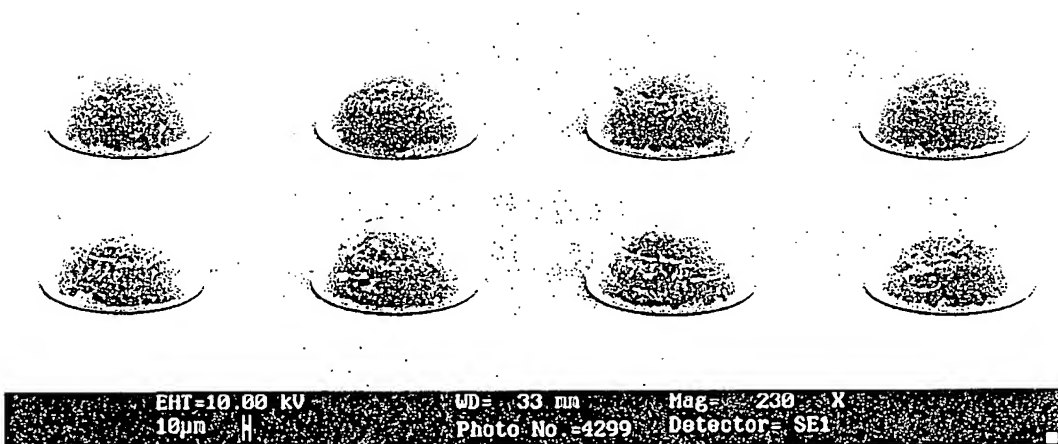
(b)

납 없는 Sn:Ag:Cu (95.7:3.5:0.8) 범프 도금



(a)

리플로우 후



(b)